

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

EXPRESS MAIL NO. EV327880774US

Applicant : Sung-Hune Yoo
Application No. : N/A
Filed : March 18 2004
Title : PLASMA DISPLAY PANEL APPARATUS AND DRIVING METHOD
THEREOF

Grp./Div. : N/A
Examiner : N/A

Docket No. : 51898/DBP/Y35

**LETTER FORWARDING CERTIFIED
PRIORITY DOCUMENT**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PostOffice Box 7068
Pasadena, CA 91109-7068
March 18, 2004

Commissioner:

Enclosed is a certified copy of Korean Patent Application No. 2003-0016855, which was filed on March 18, 2003, the priority of which is claimed in the above-identified application.

Respectfully submitted,
CHRISTIE, PARKER & HALE, LLP

By D. Bruce Prout
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/aam

Enclosure: Certified copy of patent application

AAM PAS555411.1-*03/18/04 9:10 AM



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0016855
Application Number

출 원 년 월 일 : 2003년 03월 18일
Date of Application MAR 18, 2003

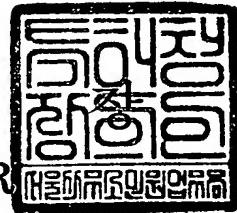
출 원 인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2004 년 02 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0004		
【제출일자】	2003.03.18		
【발명의 명칭】	플라즈마 디스플레이 패널 및 그 구동 방법		
【발명의 영문명칭】	PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF		
【출원인】			
【명칭】	삼성에스디아이 주식회사		
【출원인코드】	1-1998-001805-8		
【대리인】			
【명칭】	유미특허법인		
【대리인코드】	9-2001-100003-6		
【지정된변리사】	이원일		
【포괄위임등록번호】	2001-041982-6		
【발명자】			
【성명의 국문표기】	유성훈		
【성명의 영문표기】	YOO, SUNG HUNE		
【주민등록번호】	730518-1001224		
【우편번호】	336-861		
【주소】	충청남도 아산시 읍봉면 동암리 87-1 삼성SDI 한동지그린동 409호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 유미특허법인 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	1	면	1,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	13	항	525,000 원
【합계】	555,000 원		

1020030016855

출력 일자: 2004/2/4

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

플라즈마 디스플레이 패널에서, 복수의 주사 및 유지 전극이 제1 기판 위에서 행 방향으로 뻗어 있다. 주사 전극에는 열 방향으로 제1 돌출부가 형성되어 있으며, 유지 전극에는 열 방향으로 제2 돌출부가 형성되어 있다. 제1 돌출부와 제2 돌출부는 일정한 간격을 두고 서로 마주보고 있으며, 제1 돌출부의 면적이 제2 돌출부의 면적보다 넓다. 그리고 제2 기판이 제1 기판과 마주보며 떨어져 있으며, 제2 기판 위에는 어드레스 전극이 열 방향으로 뻗어 있다. 서스테인 기간동안 주사 전극에 제1 서스테인 펄스가 인가되면 유지 전극에 제2 서스테인 펄스가 인가된다. 이때, 제1 서스테인 펄스의 전압이 제2 서스테인 펄스의 전압보다 낮은 제1 구간의 길이가 제1 서스테인 펄스의 전압이 제2 서스테인 펄스의 전압보다 높은 제2 구간의 길이보다 긴 것이 바람직하다. 또는 제2 구간에서의 제2 서스테인 펄스의 전압은 제1 서스테인 펄스의 전압에서 서스테인 방전을 일으킬 수 최소 전압을 뺀 전압보다 낮은 것이 좋다. 이와 같이 하면 방전이 향상되어 휘도가 좋아지고, 어드레스 방전이 효율적으로 일어날 수 있다.

【대표도】

도 3

【색인어】

PDP, 서스테인, 방전, 비대칭

【명세서】**【발명의 명칭】**

플라즈마 디스플레이 패널 및 그 구동 방법{PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF}

【도면의 간단한 설명】

도 1은 플라즈마 디스플레이 패널의 주사 및 유지 전극에서의 방전 현상을 나타내는 도면이다.

도 2는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 개략적인 분해사시도이다.

도 3은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 전극 구조도이다.

도 4 내지 도 7은 각각 본 발명의 제1 내지 제4 실시예에 따른 플라즈마 디스플레이 패널의 구동 과정도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <5> 본 발명은 플라즈마 디스플레이 패널 및 그 구동 방법에 관한 것이다.
- <6> 플라즈마 디스플레이 패널은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 화소가 매트릭스 형태로 배열되어 있다.

- <7> 플라즈마 디스플레이 패널에는 그 한쪽 면에 서로 평행인 주사 전극 및 유지 전극이 형성되고 다른 쪽 면에 이들 전극과 직교하는 방향으로 어드레스 전극이 형성된다. 그리고 유지 전극은 각 주사 전극에 대응해서 형성되며, 그 일단이 서로 공통으로 연결되어 있다.
- <8> 일반적으로 플라즈마 디스플레이 패널의 구동 방법은 시간적인 동작 변화로 표현하면 리셋 기간, 어드레싱 기간, 서스테인 기간, 소거 기간으로 이루어진다.
- <9> 리셋 기간은 셀에 어드레싱 동작이 원활히 수행되도록 하기 위해 각 셀의 상태를 초기화시키는 기간이며, 어드레싱 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하기 위하여 켜지는 셀(어드레싱된 셀)에 전압을 인가하여 벽전하를 쌓아두는 동작을 수행하는 기간이다. 서스테인 기간은 서스테인 필스를 인가하여 어드레싱된 셀에 실제로 화상을 표시하기 위한 서스테인 방전을 수행하는 기간이며, 소거 기간은 셀의 벽전하를 감소시켜 서스테인 방전을 종료시키는 기간이다.
- <10> 일반적인 플라즈마 디스플레이 패널은 한 화소가 R, G, B 방전 셀로 이루어진다. 그리고 하나의 방전 셀에는 하나의 어드레스 전극이 통과하며 주사 전극과 유지 전극의 돌출부가 일정한 간격을 두고 서로 마주보고 있다. 이때, 어드레싱 기간에서는 어드레스 전극에 인가되는 어드레싱 필스와 주사 전극에 인가되는 주사 필스에 의해 켜질 방전 셀이 선택된다. 다음, 서스테인 기간에서는 주사 전극과 유지 전극에 각각 인가되는 서스테인 필스에 의해 어드레싱 기간에서 선택된 방전 셀에서 방전이 이루어진다.
- <11> 서스테인 기간에서의 방전 현상을 살펴보면, 도 1에 나타낸 것처럼 주사 및 유지 전극 중 음극에서의 발광량이 양극에서의 발광량보다 훨씬 많다. 이와 같이 종래 기술에서는 전체 발광량의 대략 2/3를 차지하는 음극이 양극의 크기가 동일하기 때문에, 음극에서의 방전이 확산될 수 있는 면적이 좁아지고, 이에 따라 휘도의 손실이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명이 이루고자 하는 기술적 과제는 전체 발광량의 대략 2/3를 차지하는 음극의 방전을 확산시킬 수 있는 플라즈마 디스플레이 패널을 제공하는 것이다.

【발명의 구성 및 작용】

<13> 본 발명에 따른 플라즈마 디스플레이 패널은 제1 기판과 제1 기판 위에 행 방향으로 뻗어 있는 복수의 제1 및 제2 전극을 포함한다. 제1 전극에는 열 방향으로 제1 돌출부가 형성되어 있다. 제2 전극은 인접한 두 개의 제1 전극 사이에 형성되어 있으며, 열 방향으로 형성된 제2 돌출부를 가진다. 제1 전극의 제1 돌출부와 제2 전극의 제2 돌출부는 일정한 간격을 두고 서로 마주보고 있으며, 제1 돌출부의 면적이 제2 돌출부의 면적보다 넓다.

<14> 제1 돌출부의 열 방향으로의 길이가 제2 돌출부의 열 방향으로의 길이보다 길거나, 제1 돌출부의 행 방향으로의 폭이 제2 돌출부의 행 방향으로의 폭보다 길 수 있다.

<15> 본 발명에 따른 플라즈마 디스플레이 패널은 제1 기판과 마주보며 떨어져 있는 제2 기판과 제2 기판 위에 열 방향으로 뻗어 있는 복수의 제3 전극을 더 포함하는 것이 바람직하다. 이때, 제3 전극과 제1 전극의 전위차에 의해 어드레스 방전이 일어난다.

<16> 그리고 서스테인 기간동안 제1 전극에 제1 서스테인 펄스가 인가되면 제2 전극에 제2 서스테인 펄스가 인가될 때, 제1 서스테인 펄스의 전압이 제2 서스테인 펄스의 전압보다 낮은 제1 구간의 길이가 제1 서스테인 펄스의 전압이 제2 서스테인 펄스의 전압보다 높은 제2 구간의 길이보다 긴 것이 바람직하다.

<17> 또한 제2 구간에서의 제2 서스테인 펄스의 전압은 제1 서스테인 펄스의 전압에서 서스테인 방전을 일으킬 수 있는 최소 전압을 뺀 전압보다 낮은 것이 좋다.

- <18> 본 발명에 따르면, 제1 기판 위에 각각 나란히 형성되는 제1 전극 및 제2 전극과 제1 및 제2 전극에 교차하며 제2 기판 위에 형성되는 어드레스 전극을 포함하며 제1 전극과 어드레스 전극의 전위차에 의해 어드레스 방전이 일어나는 플라즈마 디스플레이 패널을 구동하는 방법이 제공된다. 서스테인 기간동안, 제1 전극에 제1 전압을 가지는 제1 서스테인 펄스를 인가하여 제2 전극에 제1 전압보다 낮은 제2 전압을 가지는 제2 서스테인 펄스를 인가하여 서스테인 방전을 일으킨다. 그리고 제1 전극에 제3 전압을 가지는 제1 서스테인 펄스를 인가하여 제2 전극에 제3 전압보다 높은 제4 전압을 가지는 제2 서스테인 펄스를 인가하여 서스테인 방전을 일으킨다. 그리고 제1 전극 및 제2 전극은 서로 마주보며 일정한 간격을 가지고 떨어져 있는 돌출부를 가지며, 제1 전극의 돌출부는 제2 전극의 돌출부보다 넓은 면적을 가진다.
- <19> 이때, 제2 전압은 제1 전압에서 서스테인 방전이 일어날 수 있는 최소 전압을 뺀 전압보다 낮은 것이 바람직하다. 또한 제1 서스테인 펄스가 제3 전압을 가지는 구간의 길이가 제1 서스테인 펄스가 제1 전압을 가지는 구간의 길이보다 긴 것이 좋다.
- <20> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <21> 먼저, 도 2 및 도 3을 참조하여 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구조에 대하여 설명한다.
- <22> 도 2는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 개략적인 분해 사시도이며, 도 3은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 전극 구조도이다.

<23> 도 2 및 도 3에 나타낸 바와 같이, 본 발명의 실시예에 따른 플라즈마 디스플레이 패널은 서로 마주보며 떨어져 있는 두 기판(1, 2)을 포함한다. 기판(1) 위에는 복수의 주사 전극(Y 전극)(10)과 복수의 유지 전극(X 전극)(20)이 교대로 행 방향으로 뻗어 있다. 주사 전극(10)에는 위아래로 각각 돌출부(11a, 11b)(11)가 형성되어 있으며, 마찬가지로 유지 전극(20)에도 위아래로 각각 돌출부(21a, 21b)(21)가 형성되어 있다. 주사 및 유지 전극(10, 20)의 돌출부(11, 21)가 방전에 관여한다. 주사 전극(10)의 상단 돌출부(11a)와 유지 전극(20)의 하단 돌출부(21b)는 일정한 간격을 두고 마주보고 있으며, 마찬가지로 주사 전극(10)의 하단 돌출부(11b)와 유지 전극(20)의 상단 돌출부(21b)는 일정한 간격을 두고 마주보고 있다. 돌출부(11, 21)는 ITO(indium tin oxide) 등의 투명한 도전 물질로 이루어질 수 있다. 그리고 투명한 유전층(30)과 보호층(40)이 주사 및 유지 전극(10, 20)과 그 돌출부(11, 21) 위에 형성되어 기판(1)을 덮고 있다.

<24> 기판(2) 위에는 복수의 어드레스 전극(110)이 열 방향으로 뻗어 있으며, 어드레스 전극(110)은 유전층(120)으로 덮여 있다. 어드레스 전극(110)과 인접한 주사 및 유지 전극(10, 20)에 의해 정의되는 공간이 방전 셀을 형성한다. 그리고 주사 및 유지 전극(10, 20)의 돌출부(11, 21) 영역에 형성되는 어드레스 전극(110)은 방전을 용이하게 하기 위해 넓은 폭을 가질 수 있다.

<25> 그리고 유전층(120) 위에는 격벽(도시하지 않음)이 형성되어 방전 셀을 구획할 수도 있다. 이러한 구조를 폐쇄형 구조라 한다. 이와는 달리 격벽이 형성되지 않거나, 폐쇄형 구조에서 일부 격벽이 제거될 수도 있다.

<26> 도 2에 나타낸 바와 같이, 주사 전극(10)의 상단 돌출부(11a)와 하단 돌출부(11b)는 지그재그 형태로 형성되고, 마찬가지로 유지 전극(20)의 상단 돌출부(21a)와 하단 돌출부(21b)도

지그재그 형태로 형성된다. 이때, 삼각형 형태로 인접한 세 방전 셀에 각각 R, G, B 형광체가 도포되며, 이 R, G, B 방전 셀(140R, 140G, 140B)이 하나의 화소(140)를 형성한다. 이러한 구조를 델타형 구조라 한다. 이와는 달리, 상단 돌출부(11a, 21a)와 하단 돌출부(11b, 21b)는 열 방향으로 나란히 배열될 수 있다. 이때, 행 방향으로 인접한 세 방전 셀에 각각 R, G, B 형광체가 도포되며, 이 R, G, B 방전 셀이 하나의 화소를 형성한다. 이러한 구조를 스트라 이프형 구조라 한다.

<27> 그리고 도 2 및 도 3에 나타낸 바와 같이 주사 전극(10)에 형성되는 돌출부(11)의 열 방향으로의 길이가 유지 전극(20)에 형성되는 돌출부(21)의 열 방향으로의 길이보다 더 길다. 어드레스 기간에서는 주로 어드레스 전극(110)과 주사 전극(10) 사이에서 어드레스 방전이 일어난다. 그런데, 본 발명의 제1 실시예에 의하면 어드레스 전극(110)과 주사 전극(10)이 마주 보는 면적이 증가하게 되어 어드레스 방전이 안정적으로 일어날 수 있다. 또한 도 1에 나타낸 것처럼 서스테인 기간에서의 전체 발광량의 대략 2/3 정도가 음극에서 발생한다. 따라서 서스테인 기간에서 주사 전극(10)에 인가되는 전압이 유지 전극(20)에 인가되는 전압보다 작은 경우, 즉 주사 전극(10)이 유지 전극(20)에 대해 음극으로서 작용하는 경우에는, 주사 전극(10)의 돌출부(11)의 길이가 길기 때문에 발광이 더 효율적으로 일어나게 된다.

<28> 본 발명의 실시예에서는 주사 전극(10)의 돌출부(11)의 열 방향으로의 길이를 증가시켰지만, 돌출부(11)의 폭을 유지 전극(20)의 돌출부(22)의 폭보다 길게 할 수 있으며, 또한 돌출부(11)의 면적을 돌출부(21)의 면적보다 크게 할 수도 있다.

<29> 그리고 주사 전극(10)이 음극으로 작용하는 경우에는 충분한 방전 시간을 유지할 수 있도록 하기 위해 도 4에 나타낸 서스테인 펄스를 주사 및 유지 전극(10, 20)에 인가할 수 있다.

아래에서는 도 4를 참조하여 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법에 대하여 자세하게 설명한다.

<30> 본 발명의 제1 실시예에서는 서스테인 기간에서 두 전극(10, 20)의 전위차가 V_s 전압이 되도록 $V_s/2$ 전압과 $-V_s/2$ 전압을 교대로 가지는 서스테인 펄스가 주사 및 유지 전극(10, 20)에 인가되는 것으로 가정하고 설명한다. 여기서, V_s 전압은 서스테인 방전이 일어날 수 있는 전압이다. 이와는 달리 두 전극(10, 20)의 전위차가 V_s 전압으로 할 수 있는 다른 유형의 펄스가 인가되어도 되며, 이러한 내용은 이하에서 설명하는 모든 실시예에 적용될 수 있다.

<31> 도 4는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

<32> 도 4에 나타낸 바와 같이, 서스테인 기간에서 하나의 서스테인 펄스 중 구간(T1)에서는 주사 전극(10)에 음의 전압(V_{y2})이 인가되고 유지 전극(10)에 양의 전압(V_{x1})이 인가된다. 구간(T1)에서는 유지 전극(20)에 비해 돌출부의 길이가 긴 주사 전극(10)이 음극으로 작용하기 때문에, 주사 전극(10)의 돌출부(11)에서의 방전 확산 시간이 길어져 휘도가 증가하게 된다. 이때, 방전이 지속되는 동안 주사 및 유지 전극(10, 20)에 인가되는 전압(V_{y2}, V_{x1})이 유지되도록, 주사 전극(10)에 음의 전압이 인가되는 구간(T1)의 길이를 증가시킨다. 그리고 서스테인 기간 동안 전체 서스테인 펄스의 개수를 유지하기 위해서 구간(T1)이 증가한 만큼, 유지 전극(20)에 음의 전압(V_{x2})이 인가되는 구간(T2)의 길이를 줄인다.

<33> 본 발명의 제1 실시예에서는 주사 전극(10)의 돌출부(11)의 길이를 유지 전극(20)의 돌출부(21)의 길이보다 길게 하고, 또한 주사 전극(10)에 음의 전압이 인가되는 기간을 유지 전극(20)에 음의 전압이 인가되는 기간보다 길게 한다. 이와 같이 하면, 주사 전극(10)의 돌출

부(11)의 면적이 넓어져서 어드레스 기간동안의 어드레스 방전 효율이 향상되고, 주사 전극(10)에 음의 전압이 인가되는 기간이 길어져 휘도가 증가한다.

<34> 그런데, 유지 전극(20)이 음극으로 작용하는 구간(T2)에서는 돌출부(21)의 길이가 짧기 때문에 방전 확산 시간이 짧아지게 되어, 결과적으로 구간(T2)에서는 휘도가 줄어들 수 있다. 아래에서는 유지 전극(20)이 음극으로 작용하는 구간(T2)에서의 휘도를 보상할 수 있는 실시예에 대하여 도 5 내지 도 7을 참조하여 설명한다.

<35> 도 5 내지 도 7은 각각 본 발명의 제2 내지 제4 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

<36> 먼저, 도 5를 보면 본 발명의 제2 실시예에 따른 서스테인 펄스에서는 도 4의 서스테인 펄스에 비해 음의 전압(V_{x2} , V_{y2}) 레벨을 낮추었다. 즉, 음의 전압(V_{x2} , V_{y2})의 크기를 양의 전압(V_{x1} , V_{y1})의 크기보다 더 크게 하여 유지 및 주사 전극(20, 10)에 인가한다. 이와 같이 하면, 유지 전극(20)에 음의 전압(V_{x2})이 인가되는 경우(T2)에, 유지 전극(20)과 주사 전극(10) 사이의 전위차와 어드레스 전극(110)과 유지 전극(20) 사이의 전위차가 증가하여 방전 및 휘도가 향상된다. 즉, 유지 전극(20)이 음극으로 작용하는 경우(T2)에, 주사 전극(10)과 유지 전극(20)의 전위차를 증가시켜서 유지 전극(20)의 돌출부(21)의 길이가 짧아진 것을 보상할 수 있다. 그리고 주사 전극(10)의 음의 전압(V_{y1})의 크기도 증가시켰으므로 주사 전극(10)이 음극으로 작용하는 경우에도 휘도가 더 향상된다.

<37> 본 발명의 제2 실시예에서는 주사 전극(10)에 인가되는 음의 전압의 크기도 증가시켰지만, 이와는 달리 주사 전극(10)에는 기존의 서스테인 펄스와 동일한 펄스를 인가할 수도 있다(도 5에서 점선으로 도시된 펄스).

<38> 도 6을 보면, 본 발명의 제3 실시예에 따른 서스테인 펄스에서는 제2 실시예와 같이 도 4의 서스테인 펄스에서 음의 전압(V_{x2} , V_{y2})의 레벨을 낮추었다. 또한 제1 실시예와 같이 주사 전극(10)에 음의 전압이 인가되는 구간(T1)의 길이를 늘이고 유지 전극(20)에 음의 전압이 인가되는 구간(T2)의 길이를 줄였다. 이와 같이 하면, 주사 전극(10)이 음극으로 되는 구간(T1)에서는 주사 전극(10) 돌출부(11)의 길이에 의해 방전 확산 시간이 길어져서 휘도가 증가하게 되고, 구간(T1)의 길이가 길기 때문에 방전 확산 시간동안 인가되는 전압이 유지될 수 있다. 그리고 유지 전극(20)이 음극으로 되는 구간(T2)에서는, 유지 전극(20)에 인가되는 음의 전압(V_{x2})의 크기가 증가하였으므로 유지 전극(20)과 주사 전극(10) 사이의 전위차와 유지 전극(20)과 어드레스 전극(110) 사이의 전위차가 증가하게 되어 방전이 잘 일어나고 휘도가 향상된다.

<39> 그리고 도 7을 보면 본 발명의 제4 실시예에 따른 서스테인 펄스는 제3 실시예와 달리 주사 전극(10)에 인가되는 음의 전압은 기존의 서스테인 펄스와 동일하다. 즉, 주사 전극(10)이 음극으로 되는 경우에는 음의 전압(V_{y2})이 인가되는 시간을 증가시켜 방전이 지속되도록 하고, 유지 전극(20)의 음극으로 되는 경우에는 음의 전압(V_{x2})의 크기를 증가시켜 휘도 감소를 보상한다.

<40> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

<41> 본 발명에 의하면, 주사 전극의 돌출부의 크기가 크기 때문에 어드레스 방전이 효율적으로 일어날 수 있다. 주사 전극이 음의 전압이 인가되는 시간이 길기 때문에 방전이 길게 지속

1020030016855

출력 일자: 2004/2/4

될 수 있다. 또한 유지 전극에 인가되는 음의 전압의 크기가 크므로, 유지 전극의 돌출부의 크기가 줄어들어서 감소되는 휘도가 보상될 수 있다.

【특허청구범위】**【청구항 1】**

제1 기판,

상기 제1 기판 위에 행 방향으로 뻗어 있으며, 열 방향으로 제1 돌출부가 형성되어 있는 복수의 제1 전극,

상기 제1 기판 위에 행 방향으로 뻗어 있으며 인접한 두 개의 제1 전극 사이에 각각 형성되어 있으며, 열 방향으로 제2 돌출부가 형성되어 있는 복수의 제2 전극
을 포함하며,

상기 제1 전극의 제1 돌출부와 상기 제2 전극의 제2 돌출부는 일정한 간격을 두고 서로 마주보고 있으며, 상기 제1 돌출부와 상기 제2 돌출부의 전위차에 의해 서스테인 방전이 일어나며, 상기 제1 돌출부의 면적이 상기 제2 돌출부의 면적보다 넓은 플라즈마 디스플레이 패널.

【청구항 2】

제1항에 있어서,

상기 제1 돌출부의 열 방향으로의 길이가 상기 제2 돌출부의 열 방향으로의 길이보다 긴
플라즈마 디스플레이 패널.

【청구항 3】

제1항에 있어서,

상기 제1 돌출부의 행 방향으로의 폭이 상기 제2 돌출부의 행 방향으로의 폭보다 긴
플라즈마 디스플레이 패널.

【청구항 4】

제1항에 있어서,

상기 제1 기판과 마주보며 떨어져 있는 제2 기판, 그리고

상기 제2 기판 위에 열 방향으로 뻗어 있는 복수의 제3 전극

을 더 포함하며,

상기 제3 전극과 상기 제1 전극의 전위차에 의해 어드레스 방전이 일어나는 플라즈마 디스플레이 패널.

【청구항 5】

제1항에 있어서,

서스테인 기간동안 상기 제1 전극에 제1 서스테인 펄스가 인가되며 상기 제2 전극에 제2 서스테인 펄스가 인가되며, 제1 구간에서는 상기 제1 서스테인 펄스의 전압이 상기 제2 서스테인 펄스의 전압보다 낮으며 제2 구간에서는 상기 제1 서스테인 펄스의 전압이 상기 제2 서스테인 펄스의 전압보다 높고,

상기 제2 구간에서의 상기 제2 서스테인 펄스의 전압은 상기 제1 서스테인 펄스의 전압에서 서스테인 방전을 일으킬 수 있는 최소 전압을 뺀 전압보다 낮은 플라즈마 디스플레이 패널.

【청구항 6】

제1항에 있어서,

서스테인 기간동안 상기 제1 전극에 제1 서스테인 펄스가 인가되며 상기 제2 전극에 제2 서스테인 펄스가 인가되며,

상기 제1 서스테인 펄스의 전압이 상기 제2 서스테인 펄스의 전압보다 낮은 제1 구간의 길이가 상기 제1 서스테인 펄스의 전압이 상기 제2 서스테인 펄스의 전압보다 높은 제2 구간의 길이보다 긴 플라즈마 디스플레이 패널.

【청구항 7】

제6항에 있어서,

상기 제2 구간에서의 상기 제2 서스테인 펄스의 전압은 상기 제1 서스테인 펄스의 전압에서 서스테인 방전을 일으킬 수 있는 최소 전압을 뺀 전압보다 낮은 플라즈마 디스플레이 패널.

【청구항 8】

제1 기판 위에 각각 나란히 형성되는 제1 전극 및 제2 전극과 상기 제1 및 제2 전극에 교차하며 제2 기판 위에 형성되는 어드레스 전극을 포함하여 상기 제1 전극과 상기 어드레스 전극의 전위차에 의해 어드레스 방전이 일어나는 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,

서스테인 기간동안,

상기 제1 전극에 제1 전압을 가지는 제1 서스테인 펄스를 인가하여 상기 제2 전극에 상기 제1 전압보다 낮은 제2 전압을 가지는 제2 서스테인 펄스를 인가하여 서스테인 방전을 일으키는 단계, 그리고

상기 제1 전극에 제3 전압을 가지는 제1 서스테인 펄스를 인가하여 상기 제2 전극에 상기 제3 전압보다 높은 제4 전압을 가지는 제2 서스테인 펄스를 인가하여 서스테인 방전을 일으키는 단계

를 포함하며,

상기 제1 전극 및 상기 제2 전극은 서로 마주보며 일정한 간격을 가지고 떨어져 있는 돌출부를 가지며, 상기 제1 전극의 돌출부는 상기 제2 전극의 돌출부보다 넓은 면적을 가지는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 9】

제8항에 있어서,

상기 제2 전압은 상기 제1 전압에서 상기 서스테인 방전이 일어날 수 있는 최소 전압을 뺀 전압보다 낮은 플라즈마 디스플레이 패널의 구동 방법.

【청구항 10】

제8항에 있어서,

상기 제1 서스테인 펄스가 상기 제3 전압을 가지는 구간의 길이가 상기 제1 서스테인 펄스가 상기 제1 전압을 가지는 구간의 길이보다 긴 플라즈마 디스플레이 패널의 구동 방법.

【청구항 11】

제10항에 있어서,

상기 제2 전압은 상기 제1 전압에서 상기 서스테인 방전이 일어날 수 있는 최소 전압을 뺀 전압보다 낮은 플라즈마 디스플레이 패널의 구동 방법.

【청구항 12】

제8항에 있어서,

상기 제1 전극의 돌출부의 길이가 상기 제2 전극의 돌출부의 길이보다 긴 플라즈마 디스플레이 패널의 구동 방법.

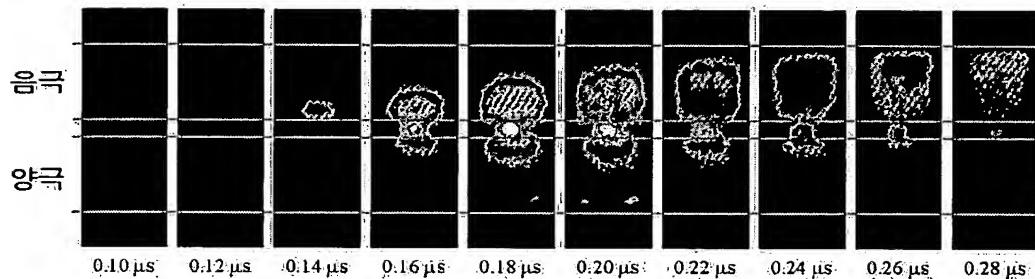
【청구항 13】

제8항에 있어서,

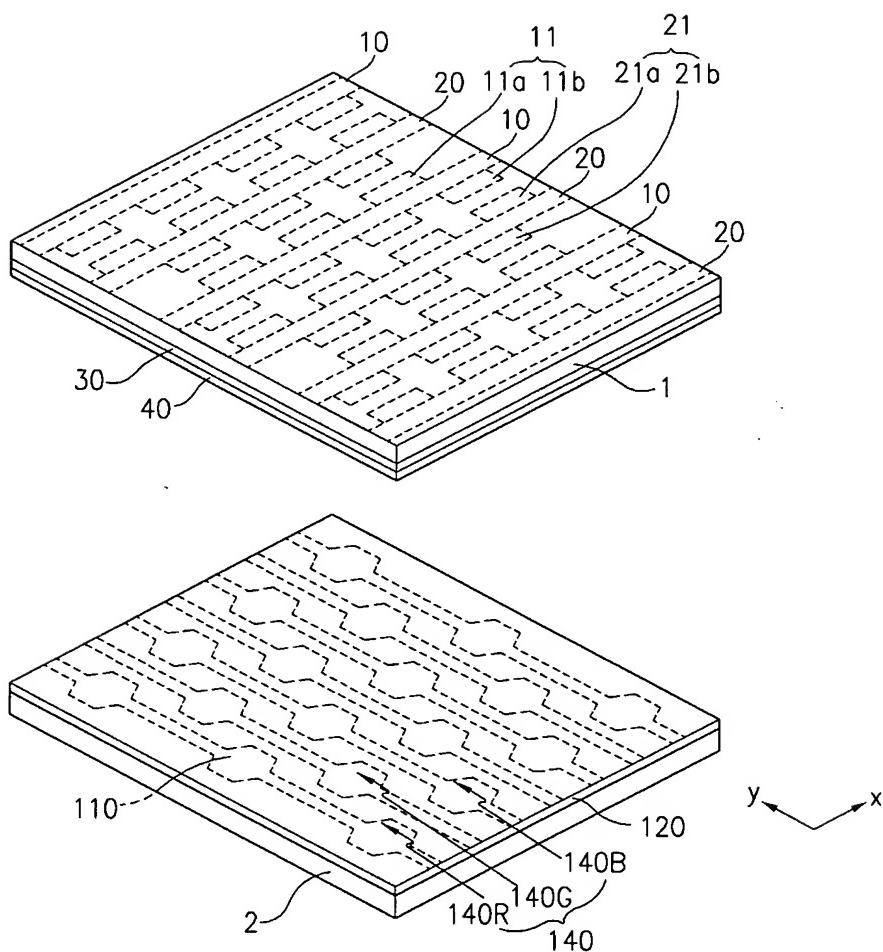
상기 제1 전극의 돌출부의 폭이 상기 제2 전극의 돌출부의 폭보다 긴 플라즈마 디스플레이 패널의 구동 방법.

【도면】

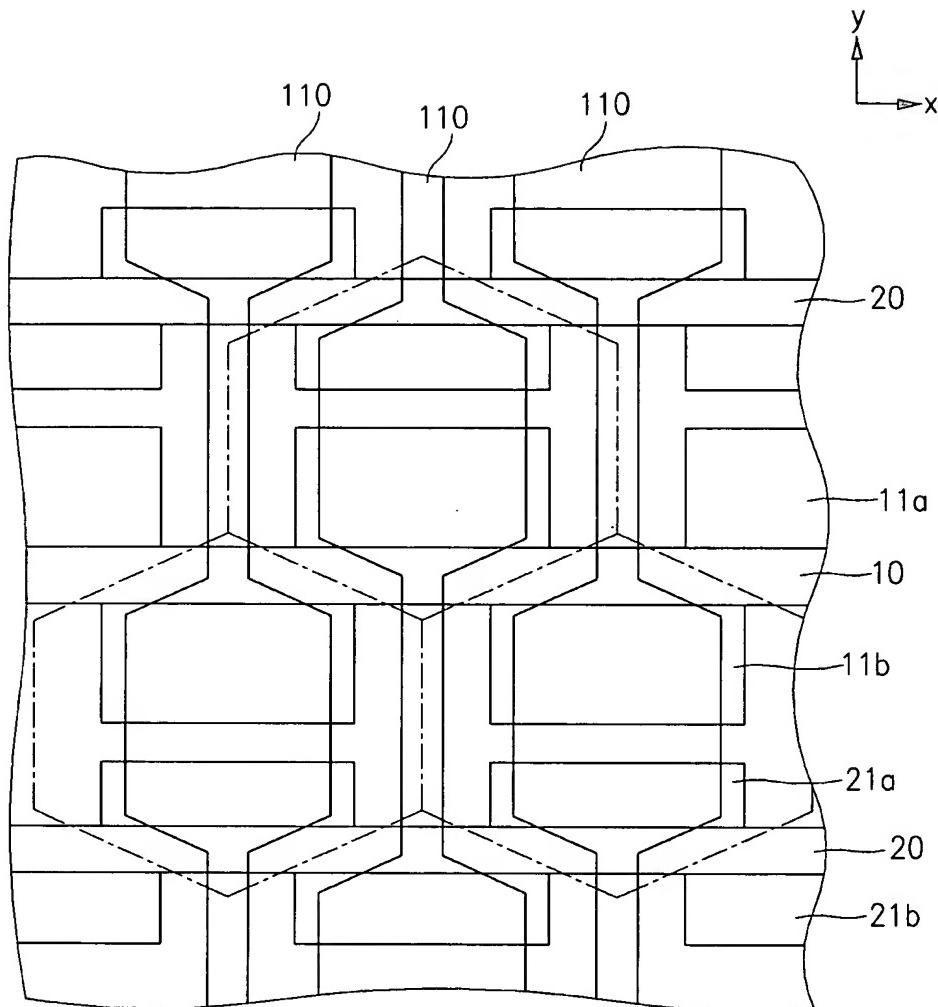
【도 1】



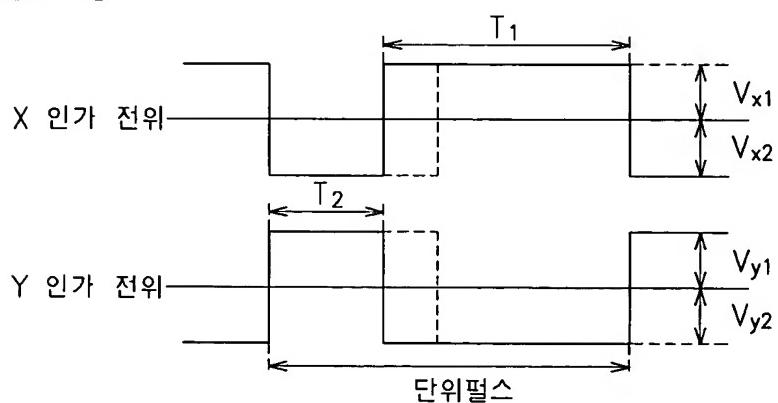
【도 2】



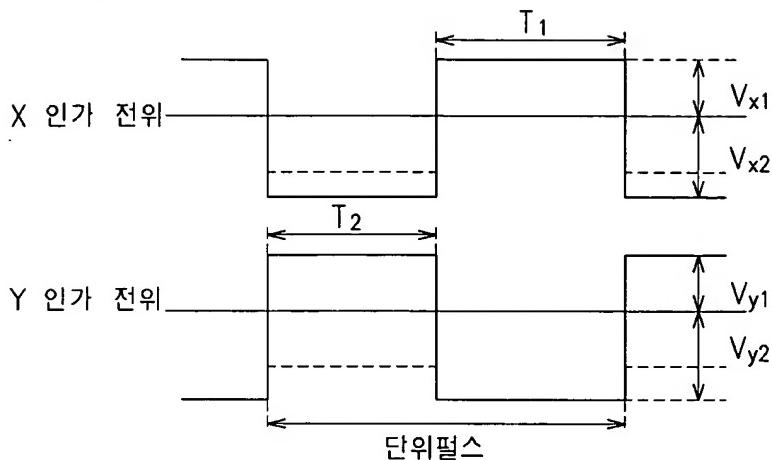
【도 3】



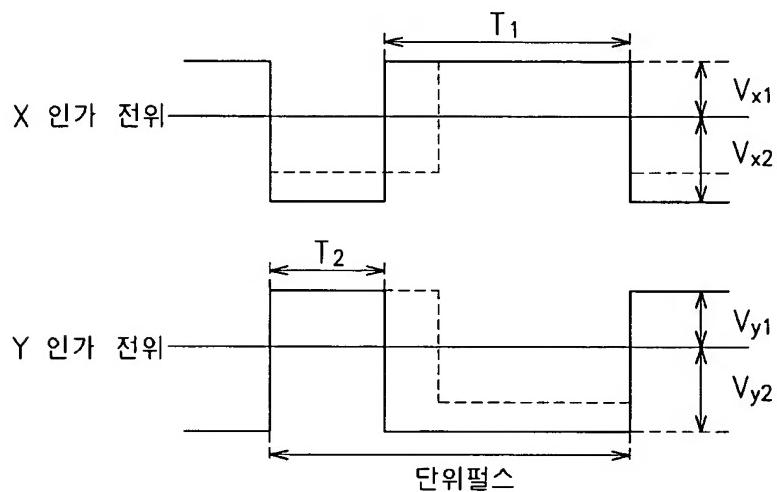
【도 4】



【도 5】



【도 6】



【도 7】

